ET4030 Thiết kế, tổng hợp IC số và hệ thống số

**1. Tên học phần**: Thiết kế, tổng hợp IC số và hệ thống số

**2. Mã số:** ET4030

**3. Khối lượng**: TC(LT-BT-TN-TH) 4(4-1-0-8)

* Lý thuyết: 60 *nêu tổng số tiết* *lý thuyết*
* Bài tập/BTL: 15 *bài tập lớn*
* Thí nghiệm: 0

**4. Đối tượng tham dự:** Sinh viên đại học các ngành Điện tử Viễn thông từ học kỳ 4

**5. Điều kiện học phần:**

* Học phần tiên quyết: ET3220 Điện tử số
* Học phần học trước: ET3220 Điện tử số
* Học phần song hành: 0

**6. Mục tiêu học phần và kết quả mong đợi**

Sau khi kết thúc học phần này, sinh viên sẽ nắm được phương pháp thiết kế và tổng hợp các IC số và hệ thống số phức tạp ở mức thiết kế RTL sử dụng ngôn ngữ mô tả phần cứng Verilog.

Sau khi hoàn thành học phần này, yêu cầu sinh viên có khả năng:

* Thiết kế mạch số bằng ngôn ngữ mô tả phần cứng (Verilog HDL): Viết được các chương trình HDL mô tả mạch số logic tổ hợp, mạch dãy, các mạch số học, các mạch điều khiển.
* Mô phỏng ngôn ngữ mô tả phần cứng
* Xây dựng khối tự kiểm tra testbenches
* Thực hành kiểm định thiết kế số
* Tổng hợp thiết kế dạng hoạt động và dạng dòng dữ liệu
* Nắm được các khái niệm cơ bản về phân tích thời gian tĩnh
* Tối ưu thiết kế phần cứng (về thời gian, diện tích và năng lượng)
* Sử dụng một số công cụ thiết kế thường được dùng trong ngành công nghiệp thiết kế IC

Mức độ đóng góp cho các tiêu chí đầu ra của chương trình đào tạo: <*Xác định theo 3 loại: GT (chỉ giới thiệu), GD (giảng dạy) hoặc SD (yêu cầu SV sử dụng, rèn luyện) để đáp ứng với những tiêu chí con trong chuẩn đầu ra của chương trình đào tạo>*

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Tiêu chí | 1.1 | 1.2 | 1.3 | 2.1 | 2.2 | 2.3 | 2.4 | 2.5 | 2.6 | 3.1 | 3.2 | 3.3 | 4.1 | 4.2 | 4.3 | 4.4 | 4.5 |
| Mức độ |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

**7. Nội dung vắn tắt học phần:**

Ngôn ngữ mô tả phần cứng Verilog: mô hình cấu trúc của mạch tổ hợp, mạch dãy. Mô phỏng logic, trể tín hiệu, các kiểu dữ liệu người dùng, mô hình hành vi. Tổng hợp mạch tổ hợp và mạch dãy. Thiết kế và tổng hợp datapath, bộ xử lý số học. Tối ưu hóa thiết kế. Các bước sau tổng hợp thiết kế. Bài tập lớn thiết kế IC số.

**8. Tài liệu học tập:**

* Advanced Digital Design Verilog HDL, Michael D. Ciletti.
* Bài giảng: chưa có.
* Modelsim HDL Simulation Tools (Mentor)
* Design Vision Synthesis Tools (Synopsys – Design Compiler)
* Sách tham khảo: IEEE Std.1364-2001, IEEE Standard Verilog Hardware Description Language, IEEE, Inc., 2001.
* IEEE Std 1364.1-2002, IEEE Standard for Verilog Register Transfer Level Synthesis, IEEE, Inc., 2002

**9. Phương pháp học tập và nhiệm vụ của sinh viên**:

* Sinh viên cần tập trung tự học kết hợp nghe bài giảng của giảng viên. Các bài giảng là hướng dẫn cách đọc tài liệu.
* Sinh viên cần hoàn thành đủ các bài tập dưới dạng project.

**10. Đánh giá kết quả:** <Ký hiệu và trọng số và hình thức đánh giá điểm quá trình, điểm thi cuối kỳ>

* Điểm quá trình: gồm điểm thuyết trình bài tập và trả lời câu hỏi trên lớp gồm 100 điểm quy đổi
* 50 điểm được dành cho các câu trả lời trên lớp. Mỗi câu trả lời tương ứng với +5 điểm. Mỗi câu không trả lời được tương ứng với -5 điểm.
* 50 điểm dành cho bài thuyết trình bài tập và trả lời câu hỏi bài tập trên lớp.
* <Diễn giải chi tiết về cách đánh giá điểm thi cuối kỳ>
* Điểm cuối kỳ: được cho dựa trên bài kiểm tra cuối kỳ theo hình thức trắc nghiệm hoặc tự luận.

**11. Nội dung và kế hoạch học tập cụ thể**

|  |  |  |  |
| --- | --- | --- | --- |
| **Tuần** | **Nội dung** | **Giáo trình** | **BT, TN,…** |
| 1 | Giới thiệu thiết kế số. Ứng dụng và ví dụ về thiết kế số. Phương pháp thiết kế số. Mô hình hóa mức hành vi và dòng dữ liệu. | Chương 1. |  |
| 2 | Khái niệm cơ bản trong thiết kế số - Mạch logic tổ hợp và mạch dãy. | Chương 2, 3 |  |
| 3 | Giới thiệu thiết kế số bằng ngôn ngữ Verilog. Cú pháp cơ bản của ngôn ngữ Verilog. | Chương 4.1 |  |
| 4 | Cơ chế mô phỏng. Khái niệm cơ bản về testbench. | Chương 4.2-4.3 |  |
| 5 | Ngôn ngữ Verilog dạng hoạt động. Các câu lệnh always, initial, if-else, case. Khái niệm câu lệnh chặn (blocking) và không chặn (non-blocking). | Chương 5.1-5.9 |  |
| 6 | Các cấu trúc Verilog dùng trong testbench |  |  |
| 7 | Ngôn ngữ Verilog dạng hoạt động. Mô hình hóa ASM và ASMD. | Chương 5.10-5.18 |  |
| 8 | Tổng hợp logic tổ hợp và mạch dãy. Tổng hợp logic tổ hợp, tổng hợp mạch dãy với phần tử chốt, tổng hợp thiết bị ba trạng thái, tổng hợp bus, tổng hợp mạch dãy với flip-flop, tổng hợp máy trạng thái hiện, mã hóa trạng thái. | Chương 6.1-6.8 |  |
| 9 | Tổng hợp mạch dãy với trạng thái ẩn. Khởi tạo. Tổng hợp cổng đồng hồ, và cổng cho phép. | Chương 6.9-6.15 |  |
| 10 | Thiết kế và tổng hợp đường dữ liệu bộ xử lý tập lệnh rút gọn RISC. | Chương 7.3 |  |
| 11 | Thiết kế và tổng hợp đường dữ liệu bộ truyền thông nối tiếp UART | Chương 7.4 |  |
| 12 | Giới thiệu các thiết bị logic lập trình được và thiết bị lưu trữ | Chương 8 |  |
| 13 | Thuật toán và kiến trúc bộ xử lý tín hiệu số. Thiết kế bộ lọc số FIR và IIR. Xây dựng các khối cho bộ xử lý tín hiệu | Chương 9.1, và 9.3, 9.4 |  |
| 14 | Bộ xử lý số học. Cấu trúc bộ cộng và trừ | Chương 10.1-10.2 |  |
| 15 | Bộ xử lý số học. Cấu trúc các bộ nhân | Chương 10.3-10.4 |  |

**12. Nội dung các bài thí nghiệm (thực hành, tiểu luận, bài tập lớn)**

**NHÓM BIÊN SOẠN ĐỀ CƯƠNG**

*(Họ tên và chữ ký)*

TS. Nguyễn Đức Minh

Ngày tháng năm

**CHỦ TỊCH HỘI ĐỒNG KH&ĐT**

**VIỆN .....**

*(Họ tên và chữ ký)*